



(19)

(11) Publication number: 2000357783 A

Generated Document.

PATENT ABSTRACTS OF JAPAN

(21) Application number: 2000083766

(51) Intl. Cl.: H01L 27/108 H01L 21/8242 H01L 27/10

(22) Application date: 24.03.00

(30) Priority: 13.04.99 JP 11104959

(43) Date of application
publication: 26.12.00(84) Designated
contracting states:

(71) Applicant: TOSHIBA CORP

(72) Inventor: FUKUZUMI YOSHIAKI

(74) Representative:

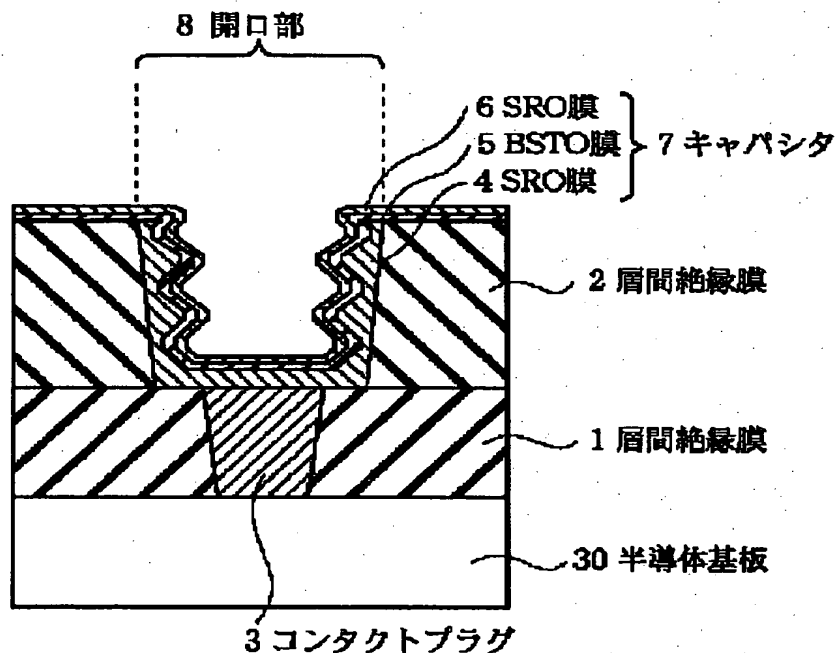
(54) SEMICONDUCTOR
DEVICE AND MANUFACTURE
THEREOF

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a capacitor structure and the manufacture thereof which has a high-dielectric-constant film such as BSTO films formed on a metal film of Ru, etc., of conductive oxide film of SRO, etc., having irregularities.

SOLUTION: The semiconductor device comprises a first capacitor electrode 4 at least a part of which is made of a metal film or conductive metal oxide film and the thickness of which continuously varies, a high-dielectric-constant film 5 formed on the first capacitor electrode 4, and a second capacitor electrode 6 formed at a position facing the first capacitor electrode 4 through the high-dielectric-constant film 5.

COPYRIGHT: (C)2000,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-357783

(P2000-357783A)

(43) 公開日 平成12年12月26日 (2000. 12. 26)

(51) Int.Cl.⁷

識別記号

F I

テーマコード(参考)

H 0 1 L 27/108
21/8242
27/10

4 5 1

H 0 1 L 27/10

6 5 1 5 F 0 8 3

4 5 1

6 2 1 C

6 2 1 Z

審査請求 未請求 請求項の数16 O L (全 15 頁)

(21) 出願番号 特願2000-83766 (P2000-83766)

(22) 出願日 平成12年3月24日 (2000. 3. 24)

(31) 優先権主張番号 特願平11-104959

(32) 優先日 平成11年4月13日 (1999. 4. 13)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 福住 嘉晃

神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内

(74) 代理人 100083161

弁理士 外川 英明

Fターム(参考) 5F083 AD24 AD42 AD43 AD48 AD56

AD62 JA06 JA14 JA15 JA17

JA38 JA43 MA06 MA20 NA01

PR03 PR21 PR22 PR34 PR40

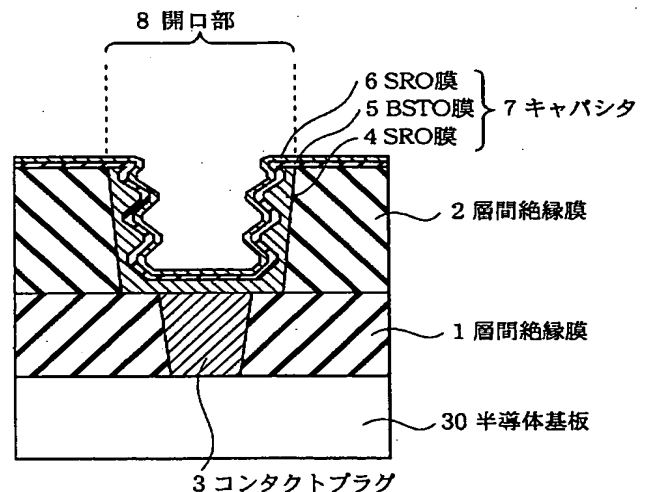
PR43 PR44 PR45

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 B S T O膜等の高誘電体膜を凹凸のある R u 等の金属膜あるいは S R O 等の導電性酸化膜上に形成したキャパシタ構造及びその製造方法を提供する。

【解決手段】 本発明にかかる半導体装置は、少なくとも一部が金属膜又は導電性金属酸化膜からなり、膜厚が連続的に増減する第1のキャパシタ電極4と、前記第1のキャパシタ電極4上に形成された高誘電体膜5と、前記高誘電体膜5上を挟んで前記第1のキャパシタ電極4と対向する位置に形成された第2のキャパシタ電極6とを具備することを特徴とする。



【特許請求の範囲】

【請求項1】 少なくとも一部が金属膜又は導電性金属酸化膜からなり、かつ、その膜厚が連続的に増減する第1のキャパシタ電極と、

前記第1のキャパシタ電極上に形成された高誘電体膜又は強誘電体膜と、

前記高誘電体膜又は強誘電体膜を挟んで前記第1のキャパシタ電極と対向する位置に形成された第2のキャパシタ電極と、

を具備する半導体装置。

【請求項2】 前記第1のキャパシタ電極は、底部及び垂直部を有するU字型形状をしており、前記側壁部の膜厚が連続的に増減することを特徴とする請求項1記載の半導体装置。

【請求項3】 前記金属膜又は導電性金属酸化膜は、Ru膜又はSRO膜であることを特徴とする請求項1又は2記載の半導体装置。

【請求項4】 前記高誘電体膜は、BSTO膜からなることを特徴とする請求項1乃至3記載の半導体装置。

【請求項5】 前記金属膜又は導電性金属酸化膜はスパッタ法により形成された層とCVD法により形成された層からなることを特徴とする請求項1乃至4記載の半導体装置。

【請求項6】 半導体基板と、前記半導体基板上に形成され、底面と側面を有する開口部が形成された層間絶縁膜と、

前記開口部の底面と側面に沿って形成され、少なくとも一部が金属膜又は導電性金属酸化膜からなり、かつ、その膜厚が連続的に増減する第1のキャパシタ電極と、

前記第1のキャパシタ電極上に形成された高誘電体膜又は強誘電体膜と、

前記高誘電体膜又は強誘電体膜を挟んで前記第1のキャパシタ電極と対向する位置に形成された第2のキャパシタ電極と、

を具備する半導体装置。

【請求項7】 前記第1のキャパシタ電極のうち、前記開口部の側面に沿って形成された部分の外周は平坦であることを特徴とする請求項6記載の半導体装置。

【請求項8】 少なくとも表面の一部において膜厚が連続的に増減する金属膜又は導電性金属酸化膜からなる第1のキャパシタ電極を前記溝の表面に形成する工程と、前記金属膜又は導電性金属酸化膜の上面に高誘電体膜又は強誘電体膜を形成する工程と、

前記高誘電体膜又は強誘電体膜を挟んで前記金属膜又は導電性金属酸化膜と対向する位置に第2のキャパシタ電極を形成する工程と、

を具備する半導体装置の製造方法。

【請求項9】 前記第1のキャパシタ電極はを形成する工程は、スパッタ法により、前記第1のキャパシタ電極の表面の少なくとも一部の膜厚が連続的に増減するよう

に形成することを特徴とする請求項8記載の半導体装置の製造方法。

【請求項10】 前記第1のキャパシタ電極を形成する工程は、温度が500℃～600℃で、成膜速度が15nm/min～25nm/minという条件のスパッタ法により行われることを特徴とする請求項8記載の半導体装置の製造方法

【請求項11】 前記第1のキャパシタ電極を形成する工程は、前記金属膜又は導電性金属酸化膜を堆積した後、アニールすることにより形成することを特徴とする請求項8記載の半導体装置の製造方法。

【請求項12】 前記アニール工程は、酸素雰囲気中で行われることを特徴とする請求項11記載の半導体装置の製造方法。

【請求項13】 前記金属膜又は導電性金属酸化膜を堆積する工程は、温度が300℃～400℃程度の条件でスパッタ法により行われることを特徴とする請求項11記載の半導体装置の製造方法。

【請求項14】 前記アニールは温度が600℃～700℃程度の条件で行われることを特徴とする請求項11又は12記載の半導体装置の製造方法。

【請求項15】 前記第1のキャパシタ電極を形成する工程は、200℃～300℃程度の条件でCVD法により行われることを特徴とする請求項8記載の半導体装置の製造方法。

【請求項16】 前記第1のキャパシタ電極を形成する工程は、CVD法により前記金属膜又は導電性金属酸化膜の上面に第2の金属膜又は導電性金属酸化膜を形成する工程を含むことを特徴とする請求項8乃至15記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置のキャパシタ構造及びその製造方法に関するものである。

【0002】

【従来の技術】 DRAM等、キャパシタを有する半導体装置は、微細化に伴うセル面積の減少に対して蓄積電荷容量を確保するために様々な工夫がなされてきた。例えば、キャパシタ誘電膜にシリコン窒化膜を用いる場合には、HSG技術によりポリシリコン電極表面に微小な半球状の突起を形成して表面積を増大させる技術が用いられている。また一方で、キャパシタ誘電膜自身の誘電率を高めるためにBSTO膜等の高誘電体膜を利用する技術も開発されている。高誘電体膜をキャパシタ誘電膜として利用する場合、その特性を最大限発揮させるにはキャパシタ電極として例えばRu（ルテニウム）、Pt（プラチナ）などの金属膜又はSrRuO₂（SRO）膜などの導電性金属酸化膜を用いることが有効であることが報告されている。

【0003】

【発明が解決しようとする課題】半導体装置の微細化が進むと、BSTO膜等の高誘電体膜を凹凸のあるRu等の金属あるいはSRO等の導電性金属酸化膜上に形成する必要が生じてくる。しかし、従来はこれらの金属や導電性金属酸化膜表面を所望の凹凸状に加工することは不可能であった。本発明は、上記課題に鑑みてなされたものであり、キャパシタの蓄積電荷量を増大させ、半導体装置の信頼性を向上させることを目的とする。

【0004】

【課題を解決するための手段】本発明にかかる半導体装置は、少なくとも一部が金属膜又は導電性金属酸化膜からなり、かつ、その膜厚が連続的に増減する第1のキャパシタ電極と、前記第1のキャパシタ電極上に形成された高誘電体膜又は強誘電体膜と、前記高誘電体膜上を挟んで前記第1のキャパシタ電極と対向する位置に形成された第2のキャパシタ電極とを具備することを特徴とする。本発明にかかる半導体装置の製造方法は、少なくとも表面の一部において膜厚が連続的に増減する金属膜又は導電性金属酸化膜からなる第1のキャパシタ電極を前記溝の表面に形成する工程と、前記金属膜又は導電性金属酸化膜の上面に高誘電体膜又は強誘電体膜を形成する工程と、前記高誘電体膜を挟んで前記金属膜又は導電性金属酸化膜と対向する位置に第2のキャパシタ電極を形成する工程とを具備することを特徴とする。上記構成を採用することにより本発明は、キャパシタの蓄積電荷量を増大させ、半導体装置の信頼性を向上させることを可能とする。

【0005】

【発明の実施の形態】（第1の実施の形態）本発明の第1の実施の形態を図面（図1～図5）を参酌して説明する。図1に本発明の第1の実施の形態にかかる半導体装置の断面図を示す。この図1では半導体装置におけるキャパシタ部分のみを抜き出している。まず、半導体基板30上に層間絶縁膜1が形成されている。さらに、例えばシリコン酸化膜からなる層間絶縁膜1内に、例えばタンゲステンシリサイド膜からなるコンタクトプラグ3が形成されている。このコンタクトプラグ3はキャパシタストレージ電極と図示せぬ素子領域とを接続するためのものである。そして、層間絶縁膜1上にさらに層間絶縁膜2が形成されている。この層間絶縁膜2には開口部8が形成されている。この開口部8の表面にはキャパシタストレージ電極となるSRO膜4が形成されている。このSRO膜4のうち開口部8の側面に形成されている部分の表面は凹凸形状となっている。この凹凸形状は、連続的にSRO膜4の膜厚が増減するような形状となっている。そして、SRO膜4上にはキャパシタ誘電体膜となる高誘電体膜、例えばBSTO膜5が形成されている。さらに、BSTO膜5を挟んでSRO膜4と対向する位置にキャパシタプレート電極となるSRO膜6が形成されている。このように、SRO膜4及びBSTO膜

5並びにSRO膜4でキャパシタ7を形成している。

【0006】次に、第1の実施の形態にかかる半導体装置の製造方法について図面（図1～図5）を参酌して説明する。この製造方法も半導体装置におけるキャパシタ部分のみを抜き出している。図2にキャパシタストレージ電極と素子領域とを接続するコンタクトプラグ3の形成工程を示す。まず、半導体基板30上に例えばシリコン酸化膜からなる層間絶縁膜1を形成する。そして、通常のリソグラフィ工程及びエッチング工程により層間絶縁膜1にコンタクトホール9を形成する。このコンタクトホールに例えばタンゲステンシリサイド膜からなるコンタクトプラグ3を形成する。このコンタクトプラグ3は半導体基板30における図示せぬ拡散層と電気的に接続される。次に、図3に示したように、全面に例えばシリコン酸化膜からなる層間絶縁膜2を形成した後、通常のリソグラフィ工程とエッチング工程により開口部8を形成する。この開口部8はコンタクトプラグ3の少なくとも一部が露出するように形成される。次に、図4に示したように、スパッタ法を用いてキャパシタストレージ電極となるSRO膜4を形成する。このとき、所定の条件に設定することにより、SRO膜4のうち開口部8の側面に形成された部分の表面に凹凸形状を形成することが可能となる。その条件としては、例えばスパッタターゲットを焼結体SROを用いて、基板温度が500～600℃程度、成膜速度を15～25nm/min程度とすることが考えられる。望ましくは、基板温度を550℃程度、成膜速度を20nm程度とすることが考えられる。このような条件を用いることにより、凹凸形状のサイズを例えば直径60nm程度とすることができ

る。ここで、スパッタ時の基板温度や堆積速度、スパッタガス雰囲気、圧力などの条件を変えることにより凹凸形状のサイズを調節することが可能である。そして、このようにすることで、凹凸形状は連続的に膜厚が増減するようなものとなる。

【0007】次に、図5に示したように、平坦化技術、例えばCMP法を用いて層間絶縁膜2上にあるSRO膜4を除去する。これによりキャパシタストレージ電極が完成する。最後に、CVD法を用いて全面にキャパシタ誘電体膜となる高誘電体膜、例えばBSTO膜5を厚さ20nm程度に形成する。さらに、CVD法を用いて全面にキャパシタプレート電極となるSRO膜6を形成する。これにより図1に示した半導体装置が形成される。ここで、キャパシタストレージ電極としてSRO膜4を用いたが、金属膜や導電性金属酸化膜、又はそれらの合金であれば構わない。同様にキャパシタプレート電極としてSRO膜6を用いたが、これも金属膜や導電性金属酸化膜、又はそれらの合金であれば構わない。これらの金属膜又は導電性金属酸化膜としては、例えばRu、Pt、Re、Os、Rh、Ir、Sr、あるいはこれらの酸化物、これらの合金、その合金の酸化物、W、Nb、

Al、Ti、Ta、Mo、Cu、WN、NbN、TiN、TaN、Pd、Fe、Mn、Cr、Co、Ni等が挙げられる。また、キャパシタ誘電体膜としては、高誘電体膜や強誘電体膜が用いられる。例えば、 $(\text{Ba}, \text{Sr})\text{TiO}_3$ 、 BaTiO_3 、 SrTiO_3 、 PbZrO_3 、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 、 Ta_2O_5 が挙げられる。さらにこれらの金属酸化膜と組み合わせて、アルカリ土類金属や希土類金属を誘電体膜用の物質として用いてもよい。

【0008】なお、キャパシタストレージ電極となるSRO膜4にコンタクトプラグ3を接続したが、必ずしもこのコンタクトプラグ3を形成する必要はない。以上のように、本発明の第1の実施の形態にかかる半導体装置によると、キャパシタ誘電体膜として高誘電体膜又は強誘電体膜を利用し、キャパシタ電極として金属膜又は導電性金属酸化膜を利用しているにもかかわらず、その表面に凹凸形状を形成することが可能となり、キャパシタの表面積を稼ぐことが可能となる。このように、キャパシタ容量を確保することができるため、微細化が進んでもキャパシタの高さを高くする必要がないため、その後20の平坦化工程が容易かつ確実に行うことが可能となり、信頼性の高い半導体装置を提供することが可能となる。また、本実施の形態においては、キャパシタストレージ電極のうちキャパシタ誘電体膜が形成されている側のみに凹凸形状が形成されている（連続的に膜厚が増減するように形成されている）ため、キャパシタ電極の寸法制御が容易となる。これにより、キャパシタ容量のパラッキを小さくでき、半導体装置の歩留まり向上を可能とする。さらに、SRO膜4のうち開口部8の底面に形成された部分は平坦であるため、コンタクトプラグ3との接30続を高い信頼性をもって行うことが可能となる。

【0009】また、キャパシタストレージ電極となるSRO膜4は凹凸形状を作る工程と併せて一度の工程で形成することができるため、工程数を増やさずにキャパシタ面積を確保することが可能となる。

（第2の実施の形態）本発明の第2の実施の形態を図面（図6～図11）を参照して説明する。図6に本発明の第2の実施の形態にかかる半導体装置の断面図を示す。この図6では半導体装置におけるキャパシタ部分のみを抜き出している。まず、半導体基板30上に層間絶縁膜1が形成されている。さらに、例えばシリコン酸化膜からなる層間絶縁膜1内に、例えばタンゲステン膜からなるコンタクトプラグ3が形成されている。このコンタクトプラグ3はキャパシタストレージ電極と図示せぬ素子領域とを接続するためのものである。そして、層間絶縁膜1上にさらに層間絶縁膜2が形成されている。この層間絶縁膜2には開口部8が形成されている。この開口部8の表面にはキャパシタストレージ電極となるSRO膜4が形成されている。このSRO膜4の表面は凹凸形状となっている。SRO膜4のうちBSTO膜5が形成さ50

れている側のみに凹凸形状が形成されている。そして、SRO膜4上にはキャパシタ誘電体膜となる高誘電体膜、例えばBSTO膜5が形成されている。さらに、BSTO膜5を挟んでSRO膜4と対向する位置にキャパシタプレート電極となるSRO膜6が形成されている。このように、SRO膜4及びBSTO膜5並びにSRO膜4でキャパシタ7を形成している。

【0010】次に、第2の実施の形態にかかる半導体装置の製造方法について図面（図6～図11）を参照して説明する。この製造方法も半導体装置におけるキャパシタ部分のみを抜き出している。図7にキャパシタストレージ電極と素子領域とを接続するコンタクトプラグ3の形成工程を示す。まず、半導体基板30上に例えばシリコン酸化膜からなる層間絶縁膜1を形成する。そして、通常のリソグラフィ工程及びエッチング工程により層間絶縁膜1にコンタクトホール9を形成する。このコンタクトホールに例えばタンゲステン膜からなるコンタクトプラグ3を形成する。このコンタクトプラグ3は半導体基板30の図示せぬ拡散層に電気的に接続されている。次に、図8に示したように、全面に例えばシリコン酸化膜からなる層間絶縁膜2を形成した後、通常のリソグラフィ工程とエッチング工程により開口部8を形成する。この開口部8はコンタクトプラグ3が露出するように形成される。次に、図9に示したように、スパッタ法を用いてキャパシタストレージ電極となるSRO膜4を形成する。このとき、所定の条件に設定することにより、SRO膜4を完全には結晶化させずに成膜し、アモルファス膜とすることが可能となる。その条件としては、例えばスパッタターゲットを焼結体SROを用いて、基板温度が300～400℃程度とすることが考えられる。望ましくは、基板温度を350℃程度とすることが考えられる。ここで、SRO膜4の成膜方法としては、スパッタ法に限らずCVD法を用いても構わない。

【0011】次に、図10に示したように所定の条件下でアニールすることにより、SRO膜4の表面に凹凸形状を形成することが可能となる。その条件としては、温度が600℃以上、例えば650℃程度の酸素雰囲気中でアニールを行うことが考えられる。このとき、FTP（Fast Thermal Process）等の昇温速度を100℃/分程度とするなど、昇温速度の大きい条件にすると、効果的に凹凸形状を形成することが可能となる。そして、酸素雰囲気中でアニールすることにより、比較的低温でも凹凸形状を形成することが可能となる利点がある。ここで、アニールをアルゴン雰囲気中で行うことも考えられる。このようにアニールをアルゴン雰囲気中で行うと、コンタクトプラグ3の表面が酸化されずに済む利点がある。なお、アニールの条件、例えば雰囲気、温度、昇温速度を変えることにより凹凸形状のサイズを調節することが可能である。また、このような工程により、凹凸形状は膜厚が連続的に増減するように形成することができ

る。次に、図11に示したように、平坦化技術、例えばCMP法を用いて層間絶縁膜2上にあるSRO膜4を除去する。これによりキャパシタストレージ電極が完成する。

【0012】最後に、CVD法を用いて全面にキャパシタ誘電体膜となる高誘電体膜、例えばBSTO膜5を厚さ20nm程度に形成する。さらに、CVD法を用いて全面にキャパシタプレート電極となるSRO膜6を形成する。これにより図6に示した半導体装置が形成される。ここで、キャパシタストレージ電極としてSRO膜4を用いたが、金属膜や導電性金属酸化膜、又はそれらの合金であれば構わない。同様にキャパシタプレート電極としてSRO膜6を用いたが、これも金属膜や導電性金属酸化膜、又はそれらの合金であれば構わない。これらの金属膜又は導電性金属酸化膜としては、例えばRu、Pt、Re、Os、Rh、Ir、Sr、あるいはこれらの酸化物、これらの合金、その合金の酸化物、W、Nb、Al、Ti、Ta、Mo、Cu、WN、NbN、TiN、TaN、Pd、Fe、Mn、Cr、Co、Ni等が挙げられる。また、キャパシタ誘電体膜としては、高誘電体膜や強誘電体膜が用いられる。例えば、(Ba、Sr)TiO₃、BaTiO₃、SrTiO₃、PbZrO₃、Bi₄Ti₃O₁₂、Ta₂O₅が挙げられる。さらにこれらの金属酸化膜と組み合わせて、アルカリ土類金属や希土類金属を誘電体膜用の物質として用いてもよい。

【0013】なお、キャパシタストレージ電極となるSRO膜4にコンタクトプラグ3を接続したが、必ずしもこのコンタクトプラグ3を形成する必要はない。以上のように、本発明の第2の実施の形態にかかる半導体装置によると、キャパシタ誘電体膜として高誘電体膜又は強誘電体膜を利用し、キャパシタ電極として金属膜又は導電性金属酸化膜を利用しているにもかかわらず、その表面に凹凸形状を形成することが可能となり、キャパシタの表面積を稼ぐことが可能となる。このように、キャパシタ容量を確保することができるため、微細化が進んでもキャパシタの高さを高くする必要がないため、その後の平坦化工程が容易かつ確実に行うことが可能となり、信頼性の高い半導体装置を提供することが可能となる。また、本実施の形態においては、キャパシタストレージ電極のうちキャパシタ誘電体膜が形成されている側のみに凹凸形状が形成されている(連続的に膜厚が増減するように形成されている)ため、キャパシタ電極の寸法制御が容易となる。これにより、キャパシタ容量のパラッキを小さくでき、半導体装置の歩留まり向上を可能とする。さらに、凹凸形状は開口部8内のSRO膜4の表面全体に形成されるため、本発明の実施の形態1に比べてキャパシタ面積をさらに増大させることが可能となる。

【0014】また、キャパシタストレージ電極となるSRO膜4を形成する工程(図9参照)は本発明の実施の

形態1に比べて低温で行うため、コンタクトプラグ3の表面が酸化するのを抑制することが可能となる。

(第2の実施の形態の変形例)本発明の第2の実施の形態の変形例を図面(図12)を参酌して説明する。上記本発明の第2の実施の形態において、SRO膜4を形成し、さらにその表面に凹凸形状を形成する工程(図9～図10参酌)を以下の工程に置き換えることも可能である。すなわち、図12に示したように、CVD法を用いてキャパシタストレージ電極となるRu膜10を形成する。このとき、所定の条件に設定することにより、Ru膜10の表面に凹凸形状を形成することが可能となる。その条件としては、例えば成膜温度が200℃～300℃程度、Ru(C₅H₅)₂原料ガス雰囲気中でCVD法を行うことが考えられる。好ましくは成膜温度を230℃程度とすることが考えられる。また、原料ガスとしてRu(EtCp)₂を用い、Ar/O₂混合雰囲気中で、成膜圧力を0.1Torr～1.0Torr程度、成膜温度を220℃～350℃程度としてCVD法を用いる。好ましくは成膜圧力を0.2Torr程度、成膜温度を250℃程度とすることが考えられる。

【0015】このようにして、本発明の第2の実施の形態の変形例は、第2の実施の形態と同様の効果を得ることが可能となる。さらに、第2の実施の形態に比べて工程数を削減することが可能となる。

(第3の実施の形態)本発明の第3の実施の形態を図面(図13～図18)を参酌して説明する。図13に本発明の第3の実施の形態にかかる半導体装置の断面図を示す。この図13では半導体装置におけるキャパシタ部分のみを抜き出している。まず、例えばシリコン酸化膜からなる層間絶縁膜1内に、例えばタングステン膜からなるコンタクトプラグ3が形成されている。このコンタクトプラグ3はキャパシタストレージ電極と素子領域とを接続するためのものである。そして、層間絶縁膜1上にさらに層間絶縁膜2が形成されている。この層間絶縁膜2には開口部8が形成されている。この開口部8の表面にはキャパシタストレージ電極となるSRO膜11及びSRO膜12が形成されている。このSRO膜11及びSRO膜12の表面は凹凸形状となっている。このSRO膜11はスパッタ法により形成されたものであり、SRO膜12はCVD法により形成されたものである。そして、SRO膜12上にはキャパシタ誘電体膜となる高誘電体膜、例えばBSTO膜5が形成されている。さらに、BSTO膜5を挟んでSRO膜4と対向する位置にキャパシタプレート電極となるSRO膜6が形成されている。このように、SRO膜11、SRO膜12及びBSTO膜5並びにSRO膜4でキャパシタ7を形成している。

【0016】次に、第3の実施の形態にかかる半導体装置の製造方法について図面(図13～図18)を参酌して説明する。この製造方法も半導体装置におけるキャパ

シタ部分のみを抜き出している。図14にキャパシタストレージ電極と素子領域とを接続するコンタクトプラグ3の形成工程を示す。まず、半導体基板30上に例えばシリコン酸化膜からなる層間絶縁膜1を形成する。そして、通常のリソグラフィ工程及びエッチング工程により層間絶縁膜1にコンタクトホール9を形成する。このコンタクトホールに例えばタンゲステン膜からなるコンタクトプラグ3を形成する。次に、図15に示したように、全面に例えばシリコン酸化膜からなる層間絶縁膜2を形成した後、通常のリソグラフィ工程とエッチング工程により開口部8を形成する。この開口部8はコンタクトプラグ3が露出するように形成される。次に、図16に示したように、アルゴン雰囲気中でスパッタ法を用いてキャパシタストレージ電極となるSRO膜11を形成する。このとき、所定の条件に設定することにより、SRO膜11のうち開口部8の側面に形成された部分の表面に凹凸形状を形成することが可能となる。その条件としては、例えばスパッタターゲットを焼結体SROを用いて、基板温度が500~600℃程度、成膜速度を1.5~2.5 nm/min程度とすることが考えられる。望ましくは、基板温度を550℃程度、成膜速度を20 nm程度とすることが考えられる。このような条件を用いることにより、凹凸形状のサイズを例えば直径60 nm程度とすることができる。ここで、スパッタ時の基板温度や堆積速度、スパッタガス雰囲気、圧力などの条件を変えることにより凹凸形状のサイズを調節することが可能である。このようにして、SRO膜11の表面の凹凸形状を連続的に膜厚が増減するように形成することができる。

【0017】次に、図17に示したように、CVD法を用いて全面にSRO膜12を形成する。このSRO膜12のうちSRO膜11の凹凸形状の表面上に形成された部分は、その凹凸形状に沿った形状となる。次に、図18に示したように、平坦化技術、例えばCMP法を用いて層間絶縁膜2上にあるSRO膜11及びSRO膜12を除去する。これによりキャパシタストレージ電極が完成する。最後に、CVD法を用いて全面にキャパシタ誘電体膜となる高誘電体膜、例えばBSTO膜5を厚さ20 nm程度に形成する。さらに、CVD法を用いて全面にキャパシタプレート電極となるSRO膜6を形成する。これにより図13に示した半導体装置が形成される。ここで、キャパシタストレージ電極としてSRO膜11及びSRO膜12を用いたが、金属膜や導電性金属酸化膜、又はそれらの合金であれば構わない。同様にキャパシタプレート電極としてSRO膜6を用いたが、これも金属膜や導電性金属酸化膜、又はそれらの合金であれば構わない。これらの金属膜又は導電性金属酸化膜としては、例えばRu、Pt、Re、Os、Rh、Ir、Sr、あるいはこれらの酸化物、これらの合金、その合金の酸化物、W、Nb、Al、Ti、Ta、Mo、C

u、WN、NbN、TiN、Ta₂N、Pd、Fe、Mn、Cr、Co、Ni等が挙げられる。

【0018】また、キャパシタ誘電体膜としては、高誘電体膜や強誘電体膜が用いられる。例えば、(Ba、Sr)TiO₃、BaTiO₃、SrTiO₃、PbZrO₃、Bi₄Ti₃O₁₂、Ta₂O₅が挙げられる。さらにこれらの金属酸化膜と組み合わせて、アルカリ土類金属や希土類金属を誘電体膜用の物質として用いてもよい。なお、キャパシタストレージ電極となるSRO膜11にコンタクトプラグ3を接続したが、必ずしもこのコンタクトプラグ3を形成する必要はない。以上のように、本発明の第3の実施の形態にかかる半導体装置によると、キャパシタ誘電体膜として高誘電体膜又は強誘電体膜を利用し、キャパシタ電極として金属膜又は導電性金属酸化膜を利用しているにもかかわらず、その表面に凹凸形状を形成することが可能となり、キャパシタの表面積を稼ぐことが可能となる。このように、キャパシタ容量を確保することができるため、微細化が進んでもキャパシタの高さを高くする必要がないため、その後の平坦化工程が容易かつ確実に行うことが可能となり、信頼性の高い半導体装置を提供することが可能となる。また、本実施の形態においては、キャパシタストレージ電極のうちキャパシタ誘電体膜が形成されている側のみに凹凸形状が形成されている（連続的に膜厚が増減するように形成されている）ため、キャパシタ電極の寸法制御が容易となる。これにより、キャパシタ容量のバラツキを小さくでき、半導体装置の歩留まり向上を可能とする。

【0019】さらに、SRO膜11のうち開口部8の底面に形成された部分は平坦であるため、コンタクトプラグ3との接続を高い信頼性をもって行うことが可能となる。また、SRO膜11を形成する工程（図16参照）はアルゴン雰囲気中のスパッタ法で行われるため、コンタクトプラグ3の表面が酸化されるのを抑制することが可能となる。さらにSRO膜12をCVD法を用いて形成する工程（図17参照）においてはそのSRO膜11が酸化保護膜として機能するため、コンタクトプラグ3の表面が酸化されるのを防止することが可能となる。これにより、キャパシタストレージ電極とコンタクトプラグ3とを高い信頼性をもって接続することができる。さらに、スパッタ法により形成されたSRO膜11の上面にSRO膜12をCVD法により形成するため、SRO膜12の形成にあたっては、SRO膜12が容易に結晶化する。そのため、このCVD工程を低温化することが可能となり、半導体装置の信頼性と回路動作の高速化を図ることが可能となる。

（第4の実施の形態）本発明の第4の実施の形態を図面（図19~図27）を参酌して説明する。この実施形態は、本発明をCOB（Capacitor Over Bitline）型DRAMに適用したものである。

【0020】図19に示したのは、本発明の第4の実施の形態に係るCOB型DRAMのメモリセル領域の上面レイアウトである。DRAMセルを構成するMOSトランジスタMQのゲート電極は、一方向に連続的に配設されてワード線21となっている。このMOSトランジスタMQは、情報転送用のものである。また、DRAMセルを構成するキャパシタMCのキャパシタストレージ電極25が配列形成されている。このキャパシタストレージ電極25は、コンタクトプラグ3を介してMOSトランジスタMQのソース／ドレイン領域の一方と電気的に接続されている。ワード線21と交差して配設されるビット線23は、ビット線コンタクト22を介してMOSトランジスタMQのソース／ドレイン領域の他方と電気的に接続されている。図20に示したものは、図19のCOB型DRAMのA-A'位置の断面と、周辺回路領域の一つのトランジスタ部の断面を併せて示したものである。メモリセル領域において、情報転送用のMOSトランジスタMQが形成されている。MOSトランジスタMQのソース、ドレイン拡散層26の一方と電気的に接続されたコンタクトプラグ3が、例えばシリコン酸化膜からなる層間絶縁膜1内に形成されている。このコンタクトプラグ3は、例えばタンゲステン膜とチタン窒化膜の積層膜からなる。さらに、層間絶縁膜1の上面には、コンタクトプラグ3と電気的に接続された金属膜、例えばRu膜24が形成されている。このRu膜24の表面にはSRO膜4が形成されている。このRu膜24及びSRO膜4とでキャパシタストレージ電極25を構成する。そして、キャパシタストレージ電極25を覆うようにしてキャパシタ誘電体膜、例えばBSTO膜5が形成されている。さらに、BSTO膜5を覆うようにしてSRO膜6が形成されている。このSRO膜6がキャパシタプレート電極となる。このようにして、情報蓄積用のキャパシタ7はキャパシタストレージ電極25とBSTO膜5とSRO膜6とから構成される。

【0021】なお、MOSトランジスタMQのソース／ドレイン領域26のうち、コンタクトプラグ3と接続されていない方は、ビット線コンタクト22と電気的に接続されている（図21参照）。周辺回路領域では、MOSトランジスタ31が形成されている。さらに、層間絶縁膜1上にタンゲステンと窒化チタンの積層膜からなる配線27が形成されている。この配線27は例えばMOSトランジスタ31のソース／ドレイン領域32と電気的に接続されている。配線27の上面にはシリコン窒化膜等の被覆絶縁膜28が形成されている。そして、必要に応じて上層配線及びコンタクトが形成されている。図21は、図19のCOB型DRAMのB-B'位置の断面（メモリセル領域のみ）を示したものである。層間絶縁膜1上にタンゲステンと窒化チタンの積層膜からなるビット線23が形成されている。このビット線23は、ビット線コンタクト22を介して情報転送用MOSトラ

ンジスタのソース／ドレイン拡散層26のうちコンタクトプラグ3が接続されていない方と電気的に接続されている。このビット線23の上面にはシリコン窒化膜等の被覆絶縁膜28が形成されている。なお、ビット線23とビット線コンタクト22とは、同時に形成されるものであっても構わない。

【0022】次に、第4の実施の形態にかかるCOB型DRAMの製造方法について図面（図20～図27）を参照して説明する。まず、図22に示したように、半導体基板30に素子分離領域29を形成する。この素子分離領域29は、本実施の形態ではSTI構造を利用しているが、LOCOS構造を用いても構わない。そして、半導体基板30上にMOSトランジスタMQ（メモリセル領域）及びMOSトランジスタ31（周辺回路領域）を形成する。そして、全面にシリコン酸化膜等の層間絶縁膜1を形成する。次いで、メモリセル領域の層間絶縁膜1内に、図示はないが、例えばタンゲステン膜／チタン窒化膜の積層構造からなるビット線コンタクト及びビット線を形成する。このとき、ビット線とビット線コンタクトを別の工程で形成しても構わない。これと同時に、周辺回路領域の層間絶縁膜1内に例えばタンゲステン膜とチタン窒化膜の積層膜からなる配線27を形成する。この配線27は、MOSトランジスタ31のソース／ドレイン領域の一方と電気的に接続されるようにする。ここで、配線27は基板コンタクトを兼ねている。そして、この配線27の上面にはシリコン窒化膜等の被覆絶縁膜28が形成される。

【0023】次いで、例えばタンゲステン膜／チタン窒化膜の積層構造からなるキャパシタへのコンタクトプラグ3を形成する。次に、図23に示したように、CVD法を用いて金属膜、例えばRu膜24を厚く形成する。さらに、重ねてSRO膜33を形成する。次に、図24に示したように、通常のリソグラフィ工程及びエッチング工程により、キャパシタを形成する部分以外のRu膜24及びSRO膜33を除去する。次に、図25に示したように、スパッタ法を用いてキャパシタストレージ電極となるSRO膜4を全面に形成する。このとき、所定の条件に設定することにより、SRO膜4のうちRu膜24の側面に形成された部分の表面に凹凸形状を形成することが可能となる。その条件としては、例えばスパッタターゲットを焼結体SROを用いて、基板温度が500～600℃程度、成膜速度を15～25nm/min程度とすることが考えられる。望ましくは、基板温度を550℃程度、成膜速度を20nm程度とすることが考えられる。このような条件を用いることにより、凹凸形状のサイズを例えば直径60nm程度とすることができ。ここで、スパッタ時の基板温度や堆積速度、スパッタガス雰囲気、圧力などの条件を変えることにより凹凸形状のサイズを調節することが可能である。このようにして、SRO膜4の側面部分にその膜厚が連続的に増

減するように凹凸形状を形成することができる。

【0024】さらに、異方性エッチング法、例えばRIE法を用いてSRO膜4をRu膜24の表面部のみに残す。これによりキャパシタストレージ電極が完成する。次に、図26に示したように、CVD法を用いて全面にキャパシタ誘電体膜となる高誘電体膜、例えばBSTO膜5を厚さ20nm程度に形成する。さらに、CVD法を用いて全面にキャパシタプレート電極となるSRO膜6を形成する。次に、図27に示したように、周辺回路部に形成されたBSTO膜5及びSRO膜6を除去する。これにより、メモリセル部にキャパシタ7が完成される。この後、必要に応じて層間絶縁膜や上層配線、コンタクトなどを形成することにより、図19から図21に示したようなCOB型DRAMが形成されることとなる。ここで、キャパシタストレージ電極としてSRO膜4及びRu膜24を用いたが、これらは金属膜や導電性金属酸化膜であれば積層膜でも単層膜でも構わない。また、それらは金属膜や導電性金属酸化膜、又はそれらの合金であれば構わない。同様にキャパシタプレート電極としてSRO膜6を用いたが、これも金属膜や導電性金属酸化膜、又はそれらの合金であれば構わない。これらの金属膜又は導電性金属酸化膜としては、例えばRu、Pt、Re、Os、Rh、Ir、Sr、あるいはこれらの酸化物、これらの合金、その合金の酸化物、W、Nb、Al、Ti、Ta、Mo、Cu、WN、NbN、TiN、TaN、Pd、Fe、Mn、Cr、Co、Ni等が挙げられる。

【0025】また、キャパシタ誘電体膜としては、高誘電体膜や強誘電体膜が用いられる。例えば、 $(Ba, Sr)TiO_3$ 、 $BaTiO_3$ 、 $SrTiO_3$ 、 $PbZrO_3$ 、 $Bi_4Ti_3O_{12}$ 、 Ta_2O_5 が挙げられる。さらにこれらの金属酸化膜と組み合わせて、アルカリ土類金属や希土類金属を誘電体膜用の物質として用いてもよい。

(第4の実施の形態の変形例) 本発明の第4の実施の形態の変形例4つを図面(図28~31)を参照して説明する。図28に本発明の第4の実施の形態の変形例1にかかる半導体装置の断面図を示す。この図28ではキャパシタ部分のみを抜き出している。このキャパシタ構造は一般的に「平面型」と言われるものである。まず、層間絶縁膜1内にコンタクトプラグ3が形成されている。キャパシタストレージ電極となるSRO膜4が層間絶縁膜1上にコンタクトプラグ3と電気的に接続されて形成されている。SRO膜4上にはキャパシタ誘電体膜となるBSTO膜5が形成されている。さらにBSTO膜5を覆うようにしてキャパシタプレート電極となるSRO膜6が形成されている。このようにしてキャパシタ7が形成されている。図29に本発明の第4の実施の形態の変形例2にかかる半導体装置の断面図を示す。この図29ではキャパシタ部分のみを抜き出している。このキャ

パシタ構造は一般的に「内堀型」と言われるものである。

【0026】まず、層間絶縁膜1内にコンタクトプラグ3が形成されている。層間絶縁膜1上には第2の層間絶縁膜2が形成されている。層間絶縁膜2には開口部8が形成されている。開口部8の表面にはSRO膜11及びSRO膜12の積層膜からなるキャパシタストレージ電極が形成されている。SRO膜2の表面及び層間絶縁膜2の上面にはキャパシタ誘電体膜となるBSTO膜5が形成されている。BSTO膜5の表面にはキャパシタプレート電極となるSRO膜6が形成されている。このようにしてキャパシタ7が形成されている。この「内堀型」によると、メモリセル部と周辺回路部との段差が少なくできる。そのため、キャパシタ形成後の多層配線工程において有利であり、半導体装置の信頼性を保持することが可能となる。図30に本発明の第4の実施の形態の変形例3にかかる半導体装置の断面図を示す。この図30ではキャパシタ部分のみを抜き出している。このキャパシタ構造は一般的に「外堀型」と言われるものである。まず、層間絶縁膜1内にコンタクトプラグ3が形成されている。Ru膜24が層間絶縁膜1及びコンタクトプラグ3上に形成されている。Ru膜24の表面にSRO膜4が形成されている。Ru膜24及びSRO膜4がキャパシタストレージ電極となる。SRO膜4の表面にはキャパシタ誘電体膜となるBSTO膜5が形成されている。BSTO膜5の表面にはキャパシタプレート電極となるSRO膜6が形成されている。このようにしてキャパシタ7が形成されている。この「外堀型」によると、キャパシタ形成の際の成膜工程が容易となる利点がある。

【0027】図31に本発明の第4の実施の形態の変形例3にかかる半導体装置の断面図を示す。この図31ではキャパシタ部分のみを抜き出している。このキャパシタ構造は一般的に「クラウン型」と言われるものである。まず、層間絶縁膜1内にコンタクトプラグ3が形成されている。Ru膜24が層間絶縁膜1及びコンタクトプラグ3上にクラウン型に形成されている。すなわち、このRu膜24は、層間絶縁膜1及びコンタクトプラグ3上に形成された底部34と、この底部34の両端上に垂直方向に高く形成された垂直部35とからなる。このRu膜24の表面にキャパシタストレージ電極となるSRO膜11及びSRO膜12の積層膜が形成されている。SRO膜12の表面にはキャパシタ誘電体膜となるBSTO膜5が形成されている。BSTO膜5の表面にはキャパシタプレート電極となるSRO膜6が形成されている。このようにしてキャパシタ7が形成されている。この「クラウン型」によると、キャパシタ面積をさらに確保することが可能となる。

【0028】

【発明の効果】 本発明は、キャパシタ誘電体膜として高

誘電体膜又は強誘電体膜を利用し、キャパシタ電極として金属膜又は導電性金属酸化膜を利用しながら、キャパシタの蓄積電荷量を増大させ、半導体装置の信頼性を向上させることを可能とする。

【図面の簡単な説明】

【図1】 本発明の第1の実施の形態にかかる半導体装置の断面図。

【図2】 本発明の第1の実施の形態にかかる半導体装置の製造工程断面図。

【図3】 本発明の第1の実施の形態にかかる半導体装置の製造工程断面図。

【図4】 本発明の第1の実施の形態にかかる半導体装置の製造工程断面図。

【図5】 本発明の第1の実施の形態にかかる半導体装置の製造工程断面図。

【図6】 本発明の第2の実施の形態にかかる半導体装置の断面図。

【図7】 本発明の第2の実施の形態にかかる半導体装置の製造工程断面図。

【図8】 本発明の第2の実施の形態にかかる半導体装置の製造工程断面図。

【図9】 本発明の第2の実施の形態にかかる半導体装置の製造工程断面図。

【図10】 本発明の第2の実施の形態にかかる半導体装置の製造工程断面図。

【図11】 本発明の第2の実施の形態にかかる半導体装置の製造工程断面図。

【図12】 本発明の第2の実施の形態の変形例にかかる半導体装置の製造工程断面図。

【図13】 本発明の第3の実施の形態にかかる半導体装置の断面図。

【図14】 本発明の第3の実施の形態にかかる半導体装置の製造工程断面図。

【図15】 本発明の第3の実施の形態にかかる半導体装置の製造工程断面図。

【図16】 本発明の第3の実施の形態にかかる半導体装置の製造工程断面図。

【図17】 本発明の第3の実施の形態にかかる半導体装置の製造工程断面図。

【図18】 本発明の第3の実施の形態にかかる半導体

装置の製造工程断面図。

【図19】 本発明の第4の実施の形態にかかる半導体装置の上面レイアウト図。

【図20】 本発明の第4の実施の形態にかかる半導体装置の断面図。

【図21】 本発明の第4の実施の形態にかかる半導体装置の断面図。

【図22】 本発明の第4の実施の形態にかかる半導体装置の製造工程断面図。

【図23】 本発明の第4の実施の形態にかかる半導体装置の製造工程断面図。

【図24】 本発明の第4の実施の形態にかかる半導体装置の製造工程断面図。

【図25】 本発明の第4の実施の形態にかかる半導体装置の製造工程断面図。

【図26】 本発明の第4の実施の形態にかかる半導体装置の製造工程断面図。

【図27】 本発明の第4の実施の形態にかかる半導体装置の製造工程断面図。

【図28】 本発明の第4の実施の形態の変形例1にかかる半導体装置の製造工程断面図。

【図29】 本発明の第4の実施の形態の変形例2にかかる半導体装置の製造工程断面図。

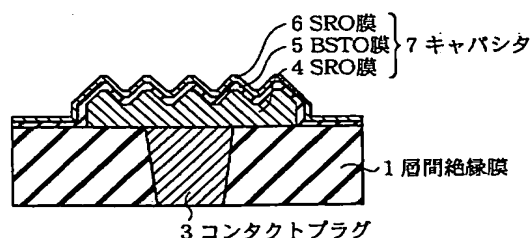
【図30】 本発明の第4の実施の形態の変形例3にかかる半導体装置の製造工程断面図。

【図31】 本発明の第4の実施の形態の変形例4にかかる半導体装置の製造工程断面図。

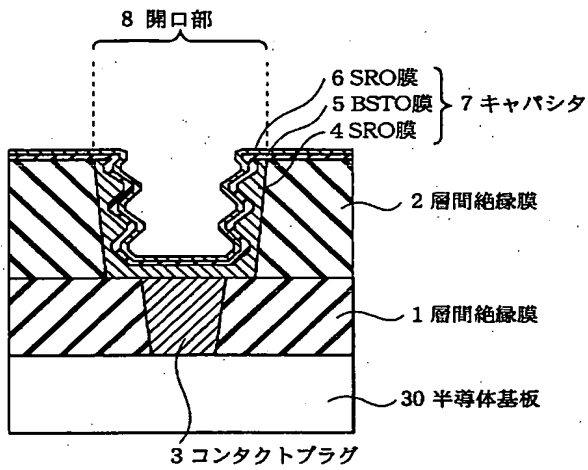
【符号の説明】

1…層間絶縁膜、2…層間絶縁膜、3…コンタクトプラグ、4…SRO膜、5…BSTO膜、6…SRO膜、7…キャパシタ、8…コンタクトホール、9…コンタクトホール、10…Ru膜、11…SRO膜、12…SRO膜、MQ…MOSTランジスタ、21…ワード線、22…ビット線コンタクト、23…ビット線、24…Ru膜、25…キャパシタストレージ電極、26…ソース/ドレイン拡散層、27…配線、28…被覆絶縁膜、29…素子分離領域、30…半導体基板、31…MOSTランジスタ、32…ソース/ドレイン領域、33…SRO膜、34…底部、35…垂直部。

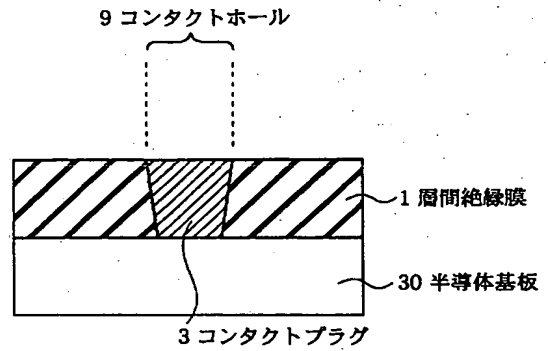
【図28】



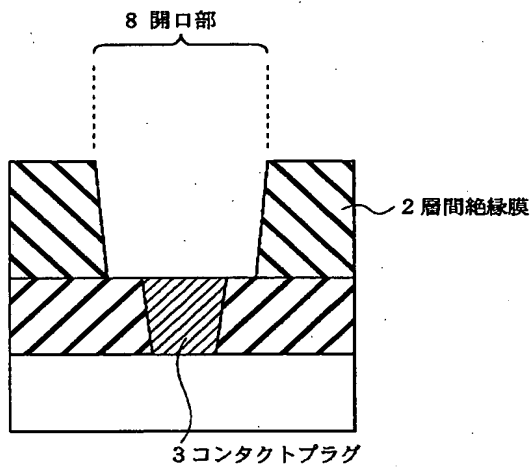
【図1】



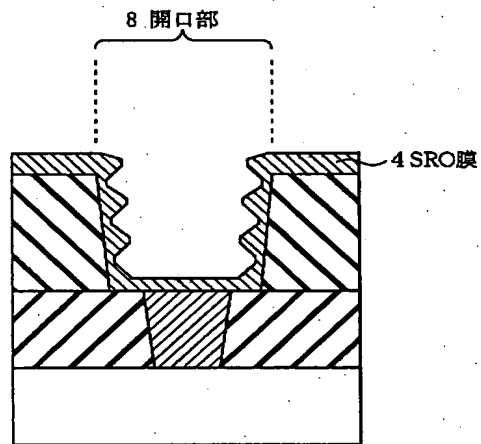
【図2】



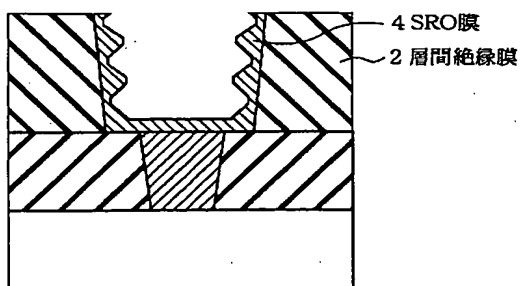
【図3】



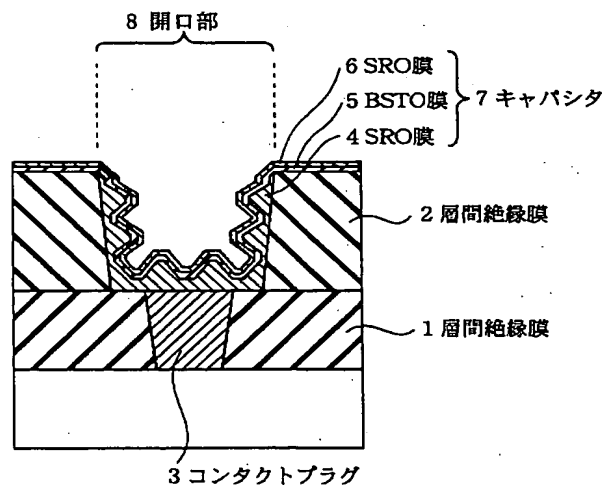
【図4】



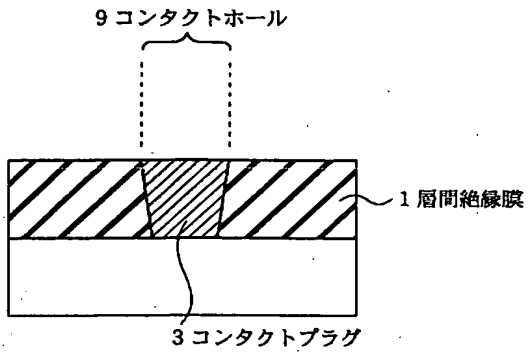
【図5】



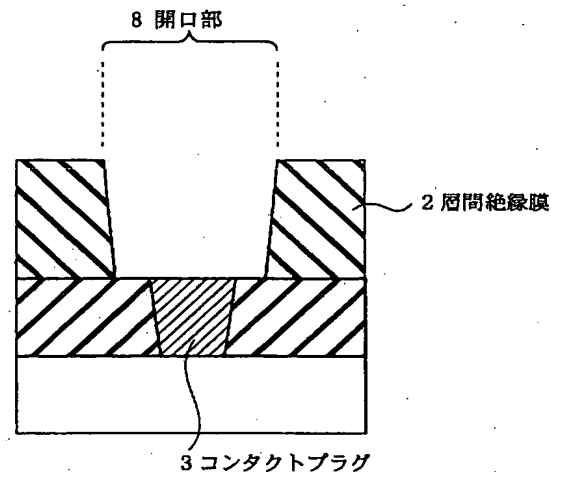
【図6】



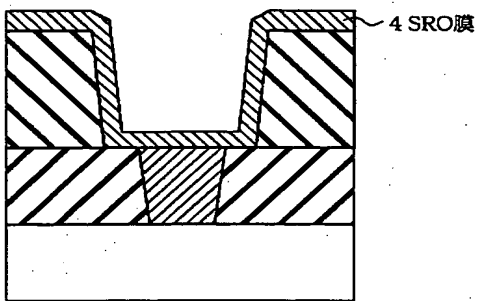
【図7】



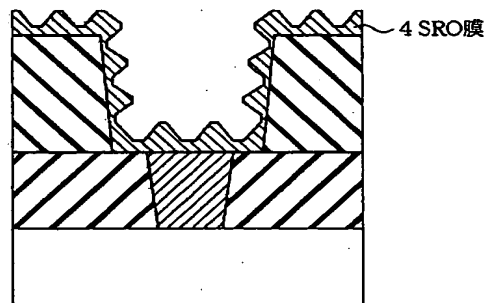
【図8】



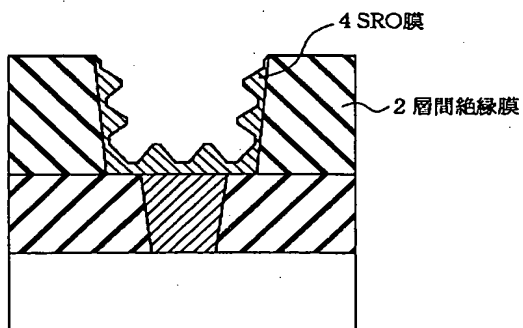
【図9】



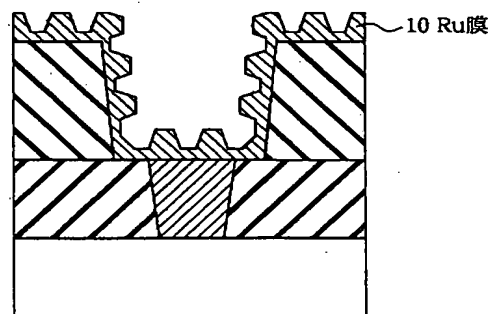
【図10】



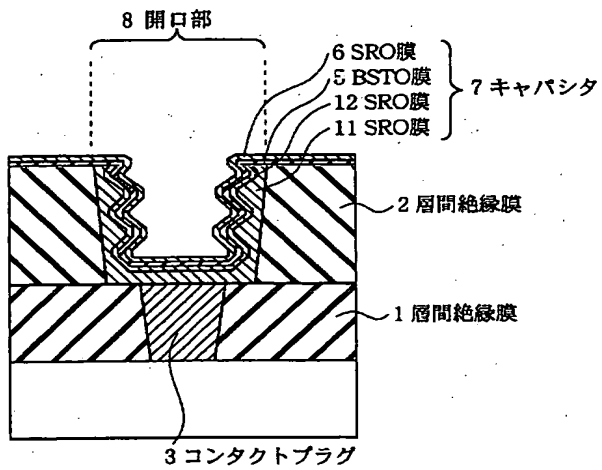
【図11】



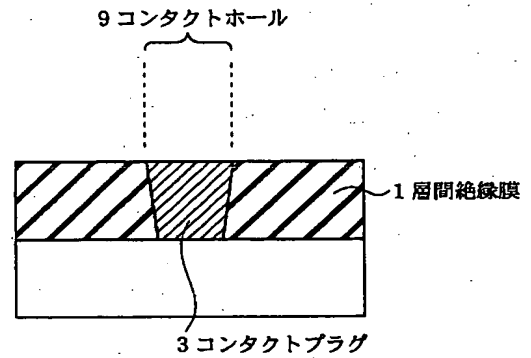
【図12】



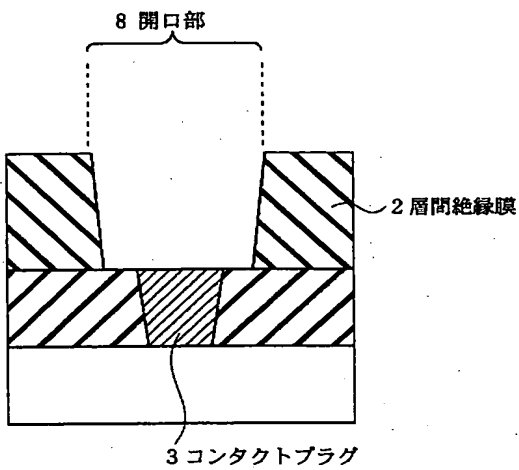
【図13】



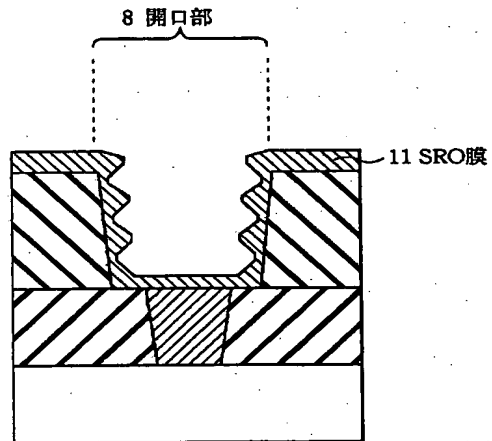
【図14】



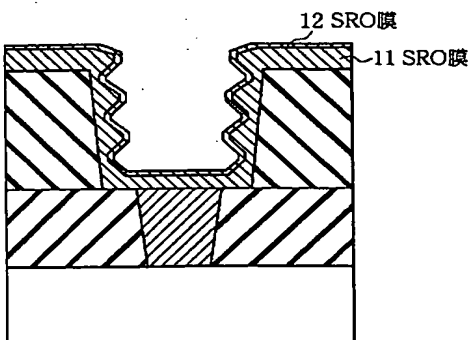
【図15】



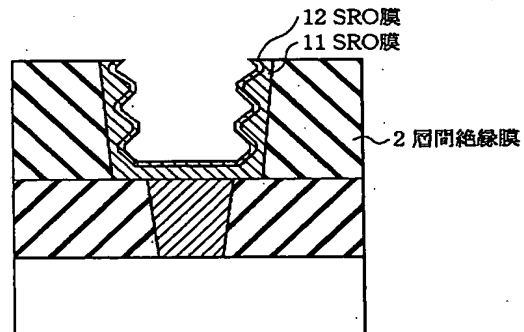
【図16】



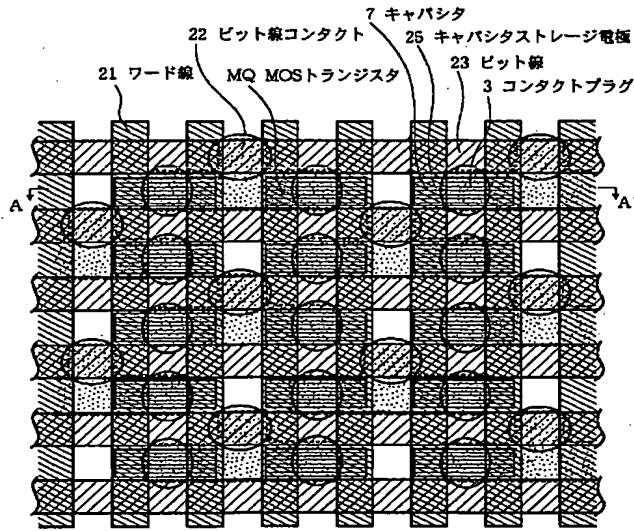
【図17】



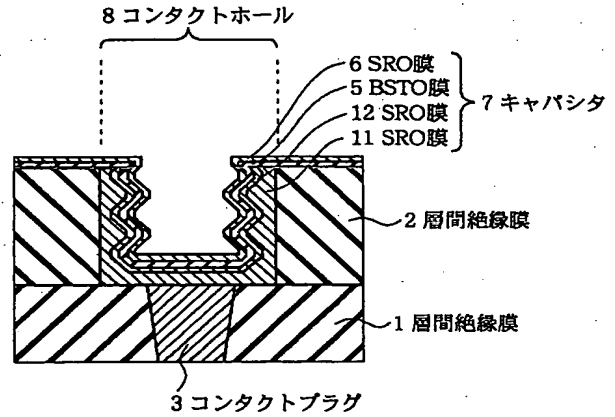
【図18】



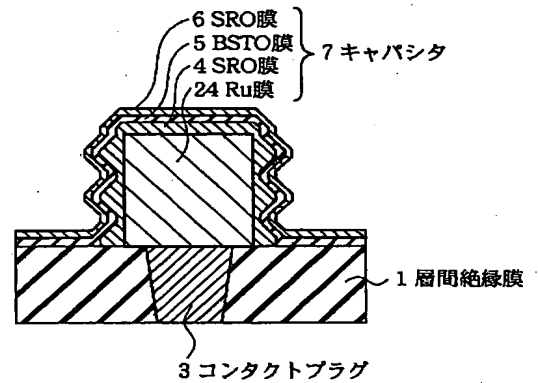
【図19】



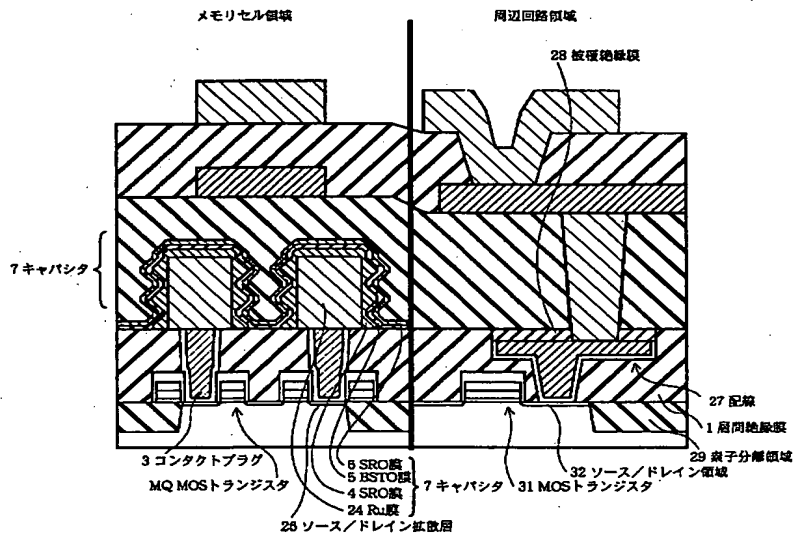
【図29】



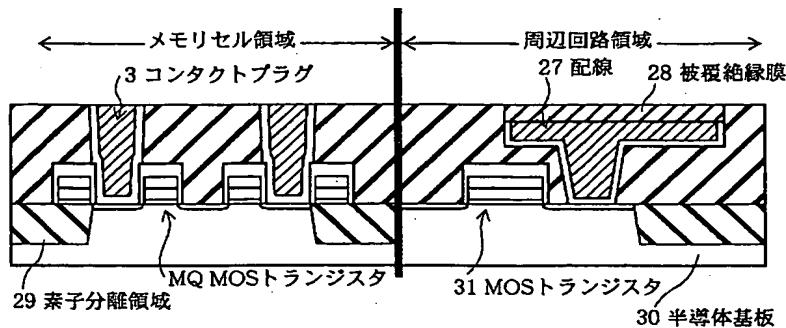
【図30】



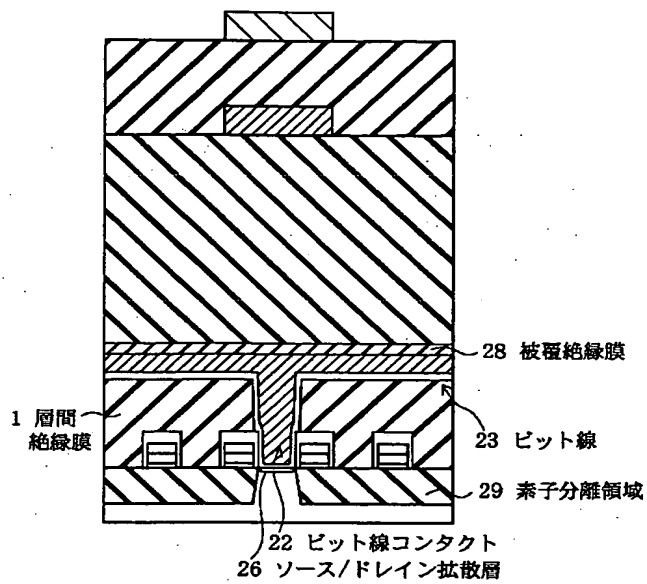
【図20】



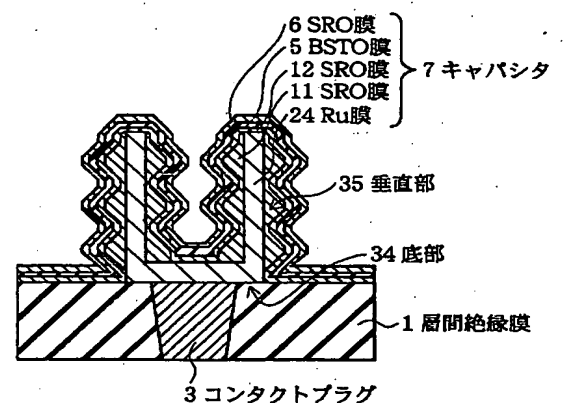
【図22】



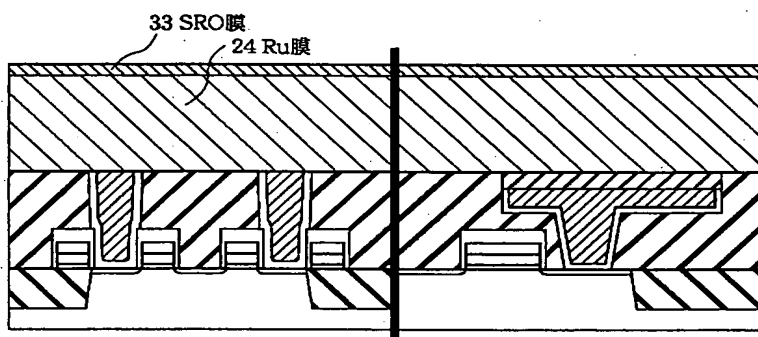
【図21】



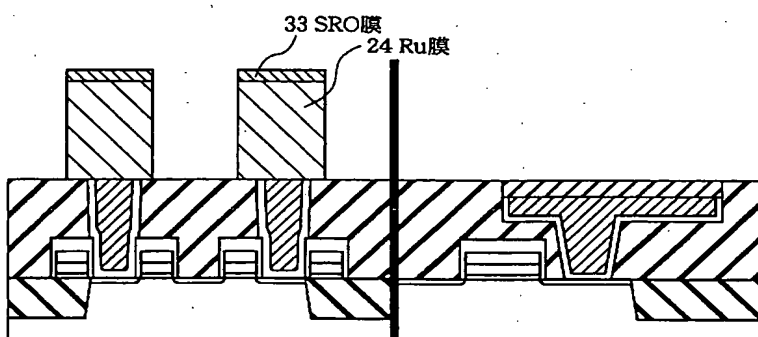
【図31】



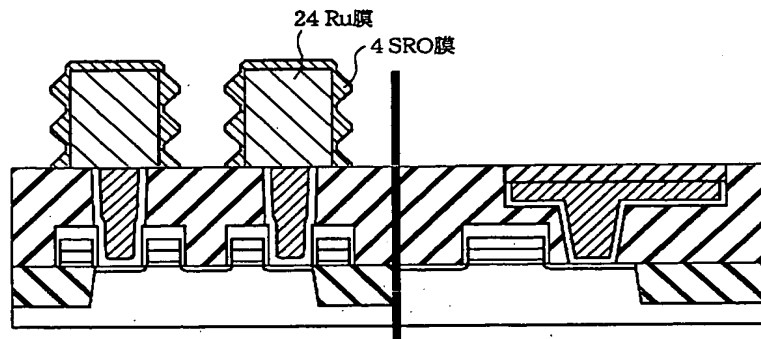
【図23】



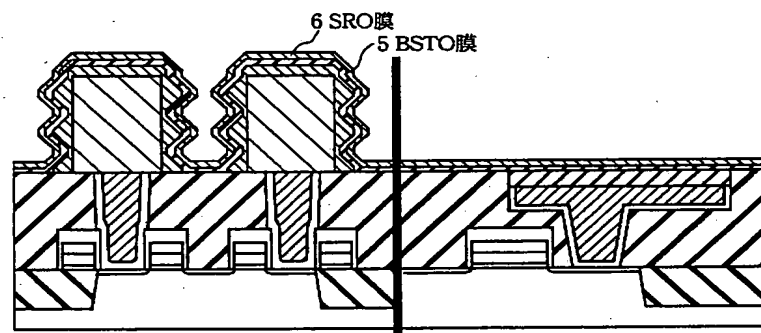
【図24】



【図25】



【図26】



【図27】

